

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-111962

(43)Date of publication of application : 04.09.1981

(51)Int.Cl.

G06F 15/16
G06F 9/46

(21)Application number : 55-013664

(22)Date of filing : 08.02.1980

(71)Applicant : AGENCY OF IND SCIENCE & TECHNOL

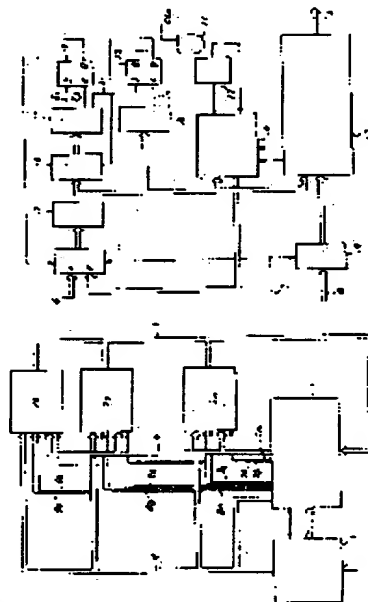
(72)Inventor : KITSUTA KENICHI
MATSUSHIMA HITOSHI
KAIDO YOSHIHIKO
KARASUNO TAKESHI

(54) PARALLEL DATA PROCESSOR

(57)Abstract:

PURPOSE: To simplify the wiring between a main controller and a subprocessor, by controlling a program loading into an internal memory of each subprocessor by an IPL instruction given from the main controller.

CONSTITUTION: The IPL (program loading start) instruction is sent to the subprocessors 2aW2n from the main controller 1 via the instruction bus 6. In the subprocessor designated by the selection signal 7, the IPL instruction is taken into the decoder 17 via the selector 11, instruction register 12 and gate 16 each. Then the F/F20 is set with the gate circuit 16 closed, and the gate circuit 21 is opened. Thus the program instruction sent from the controller 1 following the IPL instruction is supplied to the internal memory 10. When the EPL (loading end) instruction is given from the controller 1, the decoder 18 detects this instruction to reset the F/F20 with the circuit 21 closed. Thus the loading of program into the memory 10 completes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭56—111962

⑮ Int. Cl.³
G 06 F 15/16
9/46

識別記号

庁内整理番号
7165—5B
6745—5B

⑯ 公開 昭和56年(1981)9月4日

発明の数 1
審査請求 有

(全 4 頁)

⑭ 並列データ処理装置

⑰ 特 願 昭55—13664

⑱ 出 願 昭55(1980)2月8日

⑲ 発 明 者 橘田謙一

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑲ 発 明 者 松島整

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究

所内

⑲ 発 明 者 海藤芳彦

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑲ 発 明 者 鳥野武

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑲ 出 願 人 工業技術院長

明 細 書

発明の名称 並列データ処理装置

特許請求の範囲

1. インストラクションバスにより結合された主制御装置と複数のサブプロセッサとからなり、上記主制御装置から上記各サブプロセッサの内部メモリに適宜プログラムをロードし、各サブプロセッサがそれぞれのプログラムに従って並列的にデータを処理するようにした並列データ処理装置において、各サブプロセッサに、上記インストラクションバスから入力されるプログラム・ローディングの開始を指示する命令とその終了を指示する命令とに回答してそれぞれ第1、第2の制御信号を出力するデコード回路と、上記第1の制御信号により起動され上記第2の制御信号により停止させられる書き込み制御回路とを設け、主制御装置から上記インストラクションバスに送り出されたプログラム命令が上記書き込み制御回路に制御されて各サブプロセッサの内部メモリにロードされるようにしたことを特徴とする 並列データ処

理装置。

発明の詳細な説明

本発明は並列データ処理装置に関し、更に詳しくは主制御装置と複数のサブプロセッサとからなり、各サブプロセッサが主制御装置からロードされたプログラムに従って並列的にデータ処理動作できるようにしたデータ処理装置におけるプログラムのローディング方式に関するものである。

物体認識、衛星画像処理など、特に映像データを処理するデータ処理システムでは、大量のデータを高速に処理するために主制御装置に複数のサブプロセッサを並列的に接続し、主制御装置から各サブプロセッサの内部メモリにプログラムをロードし、各サブプロセッサがそれぞれの内部プログラムに従って並列的にデータを処理するシステム構成が採用される。

第1図はこのようなデータの並列処理が可能なシステム構成の1例を示す図であり、図において、1は主制御装置、2a～2nは並列動作するサブプロセッサ、3は外部メモリ装置、4は上記各サ

ブプロセッサへの入力データバス、5は出力データバス、6はインストラクションバス、7a~7nはサブプロセッサ2a~2nを指定するための制御信号線を示す。

従来、上記構成のデータ処理システムにおいて、主制御装置1から各サブプロセッサ2a~2nの夫々の内容メモリ装置に処理プログラムをローディングする場合、主制御装置1と各サブプロセッサとの間にプログラムのローディング開始、終了を指示するための専用の信号線を8a~8n、9a~9nを設けていた。すなわち、主制御装置が上記各サブプロセッサに内部プログラムに従った動作を実行させるときは、上記信号線にプログラムのローディング開始信号を出力し、プログラム命令を次々と出力し、ローディング終了信号を出力し、然る後にプログラムの実行を指示する命令をインストラクションバスに送り出すようにしていた。

このようにプログラム・ローディングのための専用の信号線を設けた従来のシステムでは、主制

御装置1とサブプロセッサ2間のハードウェア量がサブプロセッサの接続個数に比例して増加するため、システムが高度化するに従ってシステム要素間の配線が複雑化するという実用上の問題があった。

本発明は上記従来の問題点を解決すべく提案されたものであり、主制御装置からインストラクションバスを介して命令を受ける各サブプロセッサに、プログラム・ローディングの開始を指示する命令(Initial Program Loading:以下IPL命令という)とその終了を指示する命令(End of Program Loading:以下EPL命令という)とに回答してそれぞれ第1、第2の制御信号を出力するデコード回路と、上記第1の制御信号により起動され上記第2の制御信号により停止させられる書き込み制御回路とを設け、上記インストラクションバスから与えられたプログラム命令が上記書き込み制御回路に制御されて各サブプロセッサの内部メモリに格納されるようにしたことを特徴とする。

以下、本発明の1実施例を図面を参照して説明する。

第2図は本発明により改良されたサブプロセッサの構成図であり、図において10は主制御装置から与えられたプログラムを格納するための内部メモリ、11はA端子に入力される主制御装置からの命令とB端子に入力される内部メモリ10からの命令のいずれかを選択するセレクト回路、12は上記セレクト回路11の出力を保持する命令レジスタ、13は演算ユニット、14は入力データバス4上のデータを選択的に上記演算ユニット13に取り込むためのゲート回路を示す。ここで、演算ユニット13は命令レジスタ12の内容を解読して各種の制御信号を発生するデコードの他、アキュムレータ、論理演算ユニット、各種レジスタ等からなり、インストラクションバス6を介して外部の主制御装置から与えられる命令、あるいは内部メモリ10から順次読み出されるプログラム命令に沿ってデータ処理動作をし、演算結果を出力データバス5に出力する。

また、16は命令レジスタ12に接続されたゲート回路、17は上記ゲート回路16からIPL命令が入力されたとき制御信号を発生するデコード、18は命令レジスタ12からのEPL命令に回答して制御信号を発生するデコード、19、20はフリップフロップ、21はフリップフロップ20のセット出力により開かれて、クロック信号CLKを出力するゲート回路、22は内部メモリ10のアドレスを発生するためのカウンタ回路を示す。

上記回路要素16~22からなる部分は内部メモリ10へのプログラムのローディング制御回路を構成し、次のように動作する。まず、フリップフロップ19、20とカウンタ22は外部から与えられるリセット信号(図示せず)によりリセット状態または初期値の状態にあるものとする。この場合、フリップフロップ19のQ端子出力によりセレクト回路11はA端子入力を選択した状態にあり、また、フリップフロップ20のQ端子出力によりゲート回路16は開かれた状態にある。

この状態で主制御装置からIPL命令をインストラクションバス6に出力すると、選択信号7で指定されたサブプロセッサでは、IPL命令がセレクト回路11、命令レジスタ12、ゲート16を介してデコーダ17に取り込まれ、信号S₁が出力されてフリップフロップ20がセットされる。つまり、フリップフロップ20のQ端子出力がオフとなるためゲート回路16は閉じられる。フリップフロップ20のQ端子出力によりゲート回路21が開かれるため、クロック信号CLKが書き込み信号として内部メモリ10に加わる。またカウンタ回路22はクロック信号CLKをカウントし、+1加算されたアドレス信号を内部メモリ10に次々と与える。

従って、主制御装置1が上記IPL命令に引続いてインストラクションバス6に送り出すプログラム命令は、命令レジスタ12を介して内部メモリ10に入力され、カウンタ22の示すアドレス位置に順次書き込まれていく。

主制御装置が最後のプログラム命令に引続いて

の命令が読み出されたとき信号S₂によりフリップフロップ19がセットされ、セレクト回路11がA端子に入力される主制御装置からの命令を受け入れる状態に戻される。従って、サブプロセッサは、内部プログラムの実行を終えた後は、主制御装置からの命令に回答して動作できる。

以上の説明から明らかなように、本発明によれば各サブプロセッサの内部メモリへのプログラム・ローディングが主制御装置からのIPL命令により制御でき、主制御装置と各サブプロセッサ間の配線が簡単になるため、多数のサブプロセッサを並列的に動作させる形式のデータ処理システムを小型化でき、その効果は極めて大である。

図面の簡単な説明

第1図は本発明の適用対象となる複数のサブプロセッサからなる従来のデータ処理システムの全体構成図、第2図は本発明によるサブプロセッサの1実施例を示す図である。

図において、1は主制御装置、2a~2nはサブプロセッサ、3は外部メモリ装置、4は入力デ

EPL命令を送ると、この命令に回答してデコーダ18が信号S₃を出力し、フリップフロップ20をリセットする。これによってゲート回路21が閉じられ、内部メモリ10へのプログラムのローディング動作は終了する。

内部メモリ10に格納されたプログラムの実行を指示する命令がインストラクションバス6から送り込まれた場合、この命令はゲート回路16を介してデコーダ17に入力され、デコーダ17が信号S₂を出力してフリップフロップ19をセットする。これによってフリップフロップのQ端子出力はオフとなり、セレクト回路11の入力はB端子に切換えられる。すなわち内部メモリ10からの出力を命令レジスタ12に入力する。従って演算ユニット13は上記命令レジスタ12に読み出された内部メモリ10の命令に従ってデータ処理動作を行う。

内部メモリ10に格納されるプログラムの最後に、デコーダ17で解説されるフリップフロップ19のリセットのための命令を入れておくと、こ

ータバス、5は出力データバス、6はインストラクションバス、10は内部メモリ、11はセレクト回路、12は命令レジスタ、13は演算ユニット、16、21はゲート回路、17、18はデコーダ、19、20はフリップフロップ、22はアドレス発生回路を示す。

特許出願人

工業技術院長 石 坂 誠

図 1

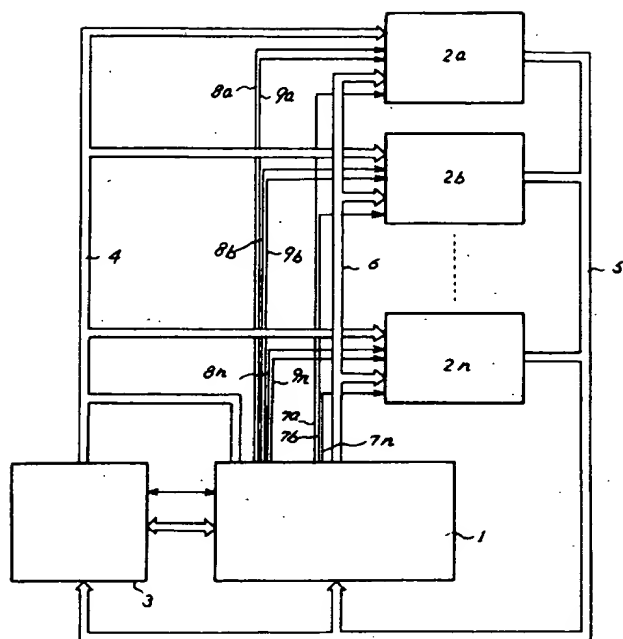


図 2

